

特開平 8-288443

(2)

1

【特許請求の範囲】

【請求項1】 電圧制御発振器と、該電圧制御発振器の出力を可変的に分周するプログラマブル分周器と、基準周波数発振器と、該周波数発振器からの出力とプログラマブル分周器の出力の位相差を検出し該位相差をパルス幅で示すアップ信号 P_u 及びダウン信号 P_d を出力する位相比較器と、該位相比較器からのアップ信号 P_u 及びダウン信号 P_d を電圧に変換するチャージポンプと、該チャージポンプの電圧を電圧制御発振器への制御電圧に変換する低域濾波器で構成されたPLLシンセサイザにおいて、

前記チャージポンプが、前記アップ信号 P_u 及びダウン信号 P_d の位相差をカウントするカウンタと、該カウンタの出力値を保持するラッチと、該ラッチの出力をアナログ信号に変換するデジタルアナログコンバータとで構成されることを特徴とするPLLシンセサイザ。

【請求項2】 前記カウンタの出力に係るデータを記憶する記憶手段と、該記憶手段に基づき前記制御電圧の変動を制御する制御回路を備えたことを特徴とする請求項1に記載するPLLシンセサイザ。

【請求項3】 前記カウンタの出力値とプログラマブル分周器の分周比の相関関係を記憶する記憶手段と、分周比の変更があるとき、前記記憶手段に基づき変更する分周比に対応する前記カウンタの出力値をもって前記ラッチを制御する制御回路を備えることを特徴とする請求項1に記載するPLLシンセサイザ。

【請求項4】 制御回路と記憶手段とを備え、前記制御回路は、ラッチの出力を前記記憶手段に記憶させ、前記記憶手段に記憶されたラッチの出力をデジタルアナログコンバータに出力し、電圧制御発振器とデジタルアナログコンバータ間の少なくとも1箇所を遮断することを特徴とする請求項1に記載するPLLシンセサイザ。

【請求項5】 前記プログラマブル分周器を不動作にさせることにより省電力動作を行わせる制御回路と、記憶手段とを備え、前記制御回路は、省電力動作直前の前記カウンタの出力を前記記憶手段に記憶させ、省電力動作時に前記記憶手段に基づき前記ラッチを制御することにより、省電力動作直前の前記低域濾波器の出力制御電圧を保持することを特徴とする請求項1に記載するPLLシンセサイザ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はチャージポンプを有するPLLシンセサイザに関する。

2

【0002】

【従来の技術】 PLLシンセサイザはラジオや携帯電話機等に多く使用されている。このPLLシンセサイザには位相比較器からの位相差信号を低域濾波器への電圧に変換するチャージポンプがある。このチャージポンプは例えば実公報58-22343号公報に開示される如く、2つのFET (Field Effect Transistor) で構成される。チャージポンプの動作について説明する。図5は図6に示す様なチャージポンプ(15)を有するPLLシンセサイザのブロック図であり、図7は位相比較器(φ/D) (5)とチャージポンプ(15)の動作を示すタイミングチャートである。これらの図の f_p はプログラマブル分周器で分周された電圧制御発振器からの出力であり、 f_{ref} は分周器で分周された基準周波数発振器からの出力である。 f_p 及び f_{ref} が位相比較器に入力されると、 f_p の位相が f_{ref} よりも進んでいる間だけ位相比較器のアップ信号 P_u がLowとなり、 f_p の位相が f_{ref} よりも遅れている間は位相比較器のダウン信号 P_d がLowとなる。 f_p と f_{ref} がいずれもHighであればチャージポンプの各FETは共にオフ状態にあり、低域濾波器(12)のコンデンサは一定電位を保持し、ロックを保持する。しかし、 P_u がLowになると低域濾波器(12)のコンデンサを充電させ、 P_d がLowになると低域濾波器のコンデンサを放電させる。かくして、電圧制御発振器からは常に安定した周波数を得ることができる。

【0003】

【発明が解決しようとする課題】 従来のチャージポンプは上述のようなアナログのFETで構成されているために、制御回路で制御したり、チャージポンプの値を記憶することが容易ではなかった。このために、チャージポンプの値に基づいて、省電力や温度補正等のPLL動作の制御が困難であった。また、チャージポンプの制御は困難であった。従来のPLL制御は分周比の変更が行われた場合、そのときの状態から温度制御を開始するために、分周比の変更が大きく行われた場合は、ロックアップ時間が長くなるという問題があった。

【0004】 さらに、上述の如く従来のチャージポンプは充電と放電により低域濾波器の制御電圧を補正していたために、ロックアップ時間を短縮するには低域濾波器(12)の時間定数を変化させる必要があった。このために、図8に示すようにチャージポンプ(15)、(16)を2つ設けてこれをCONT信号で切り替えたり、抵抗を2つ設けてこれをスイッチ(17)で切り替える必要があった。

【0005】

【課題を解決するための手段】 本発明はかかる点に鑑みてなされたもので、その第1の特徴は、チャージポンプが、前記アップ信号 P_u 及びダウン信号 P_d の位相差をカウントするカウンタと、該カウンタの出力値を保持するラッチと、該ラッチの出力をアナログ信号に変換するデジ

(3)

特開平8-288843

タルアナログコンバータとて 成されることである。

【0006】第2の特徴は、前記カウンタの出力に係るデータを記憶する記憶手段と、該記憶手段に基づき前記制御電圧の変動を制御する制御回路を備えたことである。

【0007】第3の特徴は前記カウンタの出力値とプログラマブル分周器の分周比の相関関係を記憶する記憶手段と、分周比の変更があるとき、前記記憶手段に基づき変更する分周比に対応する前記カウンタの出力値をもって前記ラッチを制御する制御回路を備えることである。

【0008】第4の特徴は記憶手段とを備え、前記制御回路は、ラッチの出力を前記記憶手段に記憶させ、前記記憶手段に記憶されたラッチの出力をデジタルアナログコンバータに出力し、電圧制御発振器とデジタルアナログコンバータ間の少なくとも1箇所を遮断することである。

【0009】第5の特徴はプログラマブル分周器を不動作にさせることにより省電力動作を行わせる制御回路と、記憶手段とを備え、前記制御回路は、省電力動作直前の前記カウンタの出力を前記記憶手段に記憶させ、省電力動作時に前記記憶手段に基づき前記ラッチを制御することにより、省電力動作直前の前記低域濾波器の出力制御電圧を保持することである。

【0010】第6の特徴は温度補正可能な基準周波数発振器と、所定の分周比における前記カウンタの出力値と基準周波数発振器の周波数の相関関係を記憶する記憶手段と、前記記憶手段に基づき所定の分周比における前記カウンタの出力値をもって基準周波数発振器を温度補正する制御回路を備えることである。

【0011】

【作用】チャージポンプを制御や出力の記憶が容易なもので構成することができる。これにより、プログラマブル分周器を不動作にする省電力や、ロックアップ時間の短縮や、基準周波数発振器を温度補正させる。

【0012】

【実施例】本発明の実施例を図に基づき説明する。図1はPLLシンセサイザのブロック図である。(1)は電圧制御発振器(VCO)であり、所望の周波数を外部に出力する。(2)はプログラマブル分周器(P/D)であり、電圧制御発振器(1)の出力を可变的に分周する。(3)は温度補償水晶発振器(TCXO)であり、発振周波数を数割整可能である。(4)は分周器であり、温度補償水晶発振器(3)の出力を分周する。

(5)は位相比較器(ϕ/D)であり、分周された電圧制御発振器(1)の出力 f_p と分周された温度補償水晶発振器(3)の出力 f_r の位相差及びロックの検出を出力する。位相差はアップ信号 P_u とダウン信号 P_d で出力される。(6)はチャージポンプであり、位相比較器(5)からのアップ信号 P_u 及びダウン信号 P_d を電圧に変換する。位相比較器(5)とチャージポンプ(6)を合わせ

て広帯の位相比較器(7)という。これに対し、チャージポンプ(6)を含まない(5)は狭帯の位相比較器である。ここでは、狭帯の位相比較器を単に位相比較器という。

【0013】チャージポンプ(6)はクロックパルス(8)、アップダウンカウンタ(Up/Downカウンタ)(9)、ラッチ(Latch)(10)とデジタルアナログコンバータ(DAC)(11)より構成される。アップダウンカウンタ(9)は位相比較器(5)からのアップ信号 P_u 及びダウン信号 P_d より各位相値をカウントする。クロックパルス(8)はアップダウンカウンタ(9)のカウントのための基準パルス信号を送出する。ラッチ(10)はアップダウンカウンタ(9)の出力を保持する。即ち、アップダウンカウンタ(9)の出力を一時的に記憶することができる。デジタルアナログコンバータ(11)はデジタル信号であるラッチ(10)の出力をカウント値に応じた電圧に変更する。(12)は低域濾波器(LPF)であり、デジタルアナログコンバータ(11)の出力電圧に基づいて電圧制御発振器(1)への制御電圧を補正する。

【0014】(13)は制御回路であり、各部を制御する。(14)はRAMやROM等の記憶手段であり、制御回路(13)の動作に必要なデータを記憶する。例えば、アップダウンカウンタ(9)の出力に対する分周比や温度の相関関係を記憶する。

【0015】12は位相比較器(5)とアップダウンカウンタ(9)の動作を示すタイミングチャートである。プログラマブル分周器(2)の出力 f_p 及び分周器(4)の出力 f_r が位相比較器(5)に入力されると、 f_p の位相が f_r よりも進んでいる間だけ位相比較器(5)のアップ信号 P_u がLowとなり、 f_p の位相が f_r よりも遅れている間は位相比較器(5)のダウン信号 P_d がLowとなる。 P_u と P_d のLowのパルス幅は f_p と f_r の位相差を示している。このパルス幅をクロックパルス(8)と論理素子(インバータとANDゲート)により $m\phi$ のパルス幅で表す信号(P_u' 及び P_d')に変換する。アップダウンカウンタ(9)はこの P_u' 及び P_d' のパルス数をカウントしてその値をデジタル信号として出力する。アップダウンカウンタ(9)のデジタル出力信号はラッチ(10)にて保持され、デジタルアナログコンバータ(11)にてカウント値(位相値)に応じた電圧(アナログ)に変換される。この電圧にて低域濾波器(12)の制御電圧が補正される。

【0016】このようにして、 f_p の位相が f_r よりも進んでおれば低域濾波器(12)の制御電圧が上昇させられ、 f_p の位相が f_r よりも遅れている間は低域濾波器(12)の制御電圧が降下させられる。かくして、電圧制御発振器からは常に安定した周波数を得ることができる。

【0017】以上が本発明の基本構成と基本動作であ

(4)

特開平8-288843

り、以下のような特徴を有する。

【0018】従来のチャージポンプは充電と放電により低域濾波器(12)の制御電圧を補正していたために、ロックアップ時間を短縮するには低域濾波器(12)の時定数を変化させる必要があった。このために、図8に示すようにチャージポンプを2つ設けてこれを切り替えたり、抵抗を2つ設けてこれを切り替える必要があった。しかしながら、本発明のチャージポンプは直接電圧を発生するために、また、電圧制御回路(1)に対する印加電圧のスピードアップ/スピードダウンはクロックパルス(8)の周波数に依存するために低域濾波器(12)の時定数を考慮する必要はなく、従来のようにチャージポンプや抵抗を2重にもったり、これを切り替える動作は必要としない。

【0019】本チャージポンプ(6)内部での処理がデジタル信号であるために、マイクロコンピュータやRAMや論理素子等を使用したデジタル制御が容易である。

【0020】従来のPLL制御は、分周比の変更が行われた場合、そのときの状態から帰還範囲を開始するため、分周比の変更が大きく行われた場合は、ロックアップ時間が長くなる。本発明の制御回路(13)は、図3に示す如く、キー操作等にて分周比の設定変更が行われた場合(S1のY)、記憶手段(14)より分周比とアップダウンカウンタ(9)の出力値との相関関係を読み出す(S2)。相関関係はそれぞれの分周比に対応したアップダウンカウンタ(9)出力値の表形式でもよく、最小二乗法等の統計学による関数でもよい。この相関関係により、分周比の変化値に対応するアップダウンカウンタ(9)の変化値を計算し、この値をアップダウンカウンタ(9)へ出力する(S3)。この値を初期値として、PLLの帰還動作を行う(S4)。

【0021】更に、位相比較器(5)からのロックアップ信号により(S5のY)、このときのアップダウンカウンタ(9)の出力値をもって、記憶手段(14)の前記相関関係のデータを更新(書き)する(S6)。

【0022】従来は、ループによる動作をしないと振盪の収束値が分からなかった。しかし、本発明はアップダウンカウンタ(9)やラッチ(10)がデジタル信号であるために容易に固定する電圧をチャージポンプ(6)から出力することができる。このために、ロックアップ時間を短縮することができ、特に、分周比の変更が大きく行われた場合の効果は絶大である。

【0023】図4に示す如く、クロックパルス(8)とラッチ(10)は出力がデジタルであるため、制御回路(13)はこの出力値を記憶手段(14)に記憶させ、記憶させた出力値を次の回路に入力することが容易である。そして、電圧制御回路(1)とチャージポンプ(6)間を遮断しても、低域濾波器(12)の制御電圧を保持することができる。

【0024】例えば、図4に示す如く、制御回路(1

3)は、位相比較器(5)からのロック信号を受信すると(S7)、ラッチ(10)の出力値を記憶手段(14)に記憶させ(S8)。この出力値を記憶手段(14)より読み出してデジタルアナログコンバータ(11)に出力する(S9)。そして、ラッチ(10)とデジタルアナログコンバータ(11)の間を遮断し(S10)、位相比較器(5)とチャージポンプ(6)の間を遮断する(S11)。次に、プログラマブル分周器(2)への電圧の供給(図示せず)を遮断してこれを不動作にする(S12)。

【0025】このようにして、ループが遮断され、プログラマブル分周器(2)が不動作となるが、記憶されているラッチ(10)の出力値により低域濾波器(12)の制御電圧を保持することができる。そして、ループが遮断されることにより、位相比較器(5)の変化によるノイズがなくなり、また、ノイズが生じてノイズがループすることなく、ノイズに強いPLLシンセサイザを供給することができる。更に、プログラマブル分周器(2)を不動作にすることにより、消費電力を少なくすることができる。

【0026】上述の例では特に消費電力大きいプログラマブル分周器(2)のみを不動作にしたが、分周器(4)や位相比較器(5)やアップダウンカウンタ(9)を不動作にしても低域濾波器の出力制御電圧を保持することができる。

【0027】また、上述の例ではラッチ(10)の出力値に基づきDAC(11)を制御したが、アップダウンカウンタ(9)の出力値に基づきラッチ(10)を制御(9)してもよい。

【0028】帰還周波数検出器から出力される周波数は周波数により値が変化する。このために制御回路(13)は、予め記憶手段(14)に所定分周比におけるアップダウンカウンタの出力値と基準周波数発生器の周波数の相関関係を記憶させておく。そして、記憶手段(14)より読み出した相関関係を用いて、設定されている分周比とアップダウンカウンタの出力値より基準周波数発生器を周波数補正する。これにより、精度の高い周波数制御が可能となる。

【0029】

【発明の効果】チャージポンプ(6)内部での処理がデジタル信号であるために、マイクロコンピュータやRAMや論理素子等を使用したデジタル制御が容易である。この記憶や制御により、省電力や周波数補正を行うことができる。また、ノイズに強いPLLシンセサイザを供給することができる。

【0030】更に、ロックアップ時間を短縮するため、チャージポンプを2つ設けてこれを切り替えたり、抵抗を2つ設けてこれを切り替えたりする対策を必要としない。

【図面の簡単な説明】

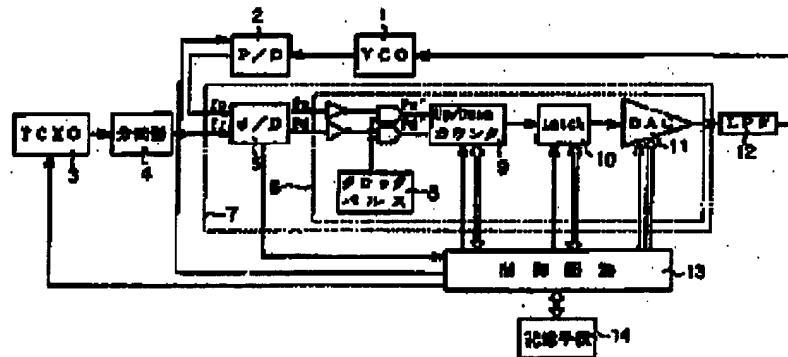
特開平8-288843

(5)

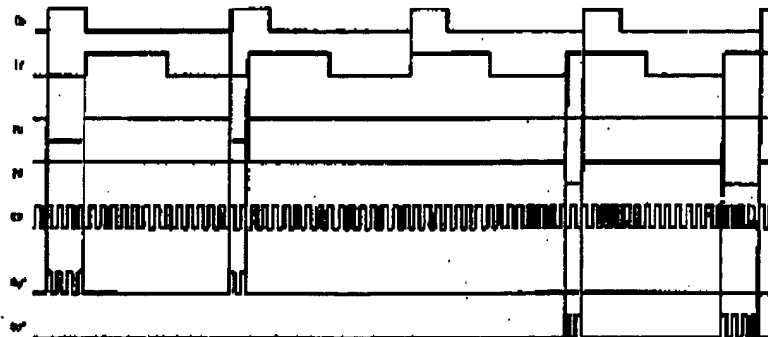
【図1】本発明の実施例を示すブロック図である。
 【図2】実施例のタイミングチャートである。
 【図3】実施例の制御回路のロックアップタイムが早い動作を示す図である。
 【図4】実施例の制御回路のノイズに強く且つ省電力となる動作を示す図である。
 【図5】従来のチャージポンプを有するPLLシンセサイザの構成を示すブロック図である。
 【図6】従来のチャージポンプの構成を示す図である。
 【図7】従来のタイミングチャートである。
 【図8】従来のロックアップタイムを早める対策を施したブロック図である。
 【符号の説明】
 1 電圧制御発振器

2 プログラマブル分周器
 3 温度補償水晶発振器
 4 分周器
 5 位相比較器
 6 チャージポンプ
 7 位相比較器
 8 クロックパルス
 9 アップダウンカウンタ
 10 ラッチ
 11 デジタルシグナルコンバータ
 12 低域通波帯
 13 制御回路
 14 記憶手段

【図1】



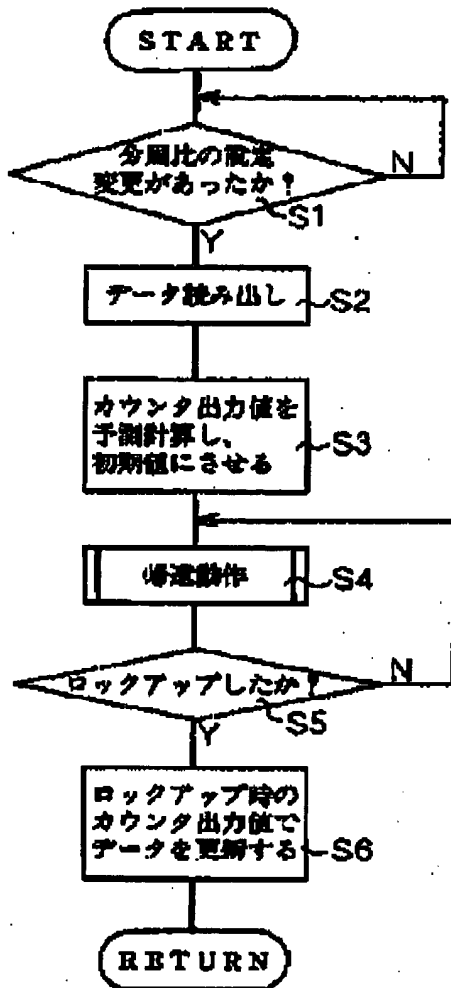
【図2】



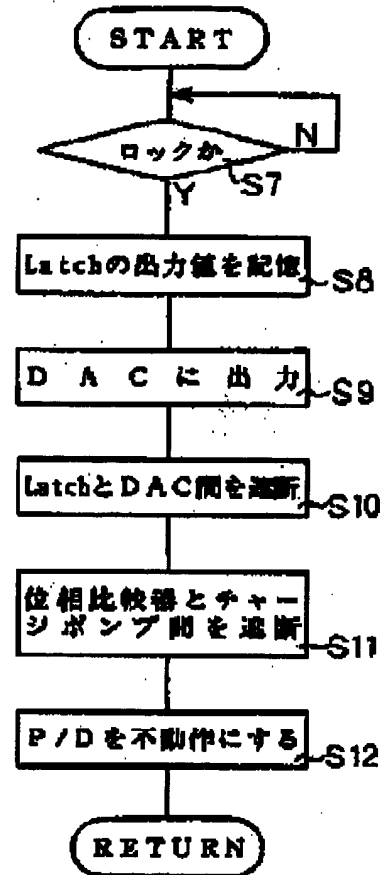
(6)

特開平8-288843

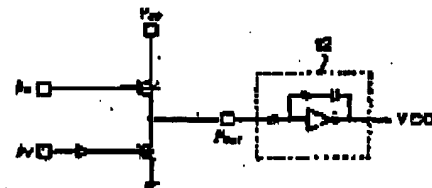
【図3】



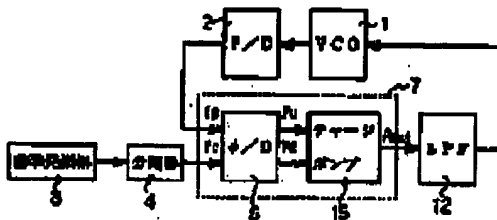
【図4】



【図5】



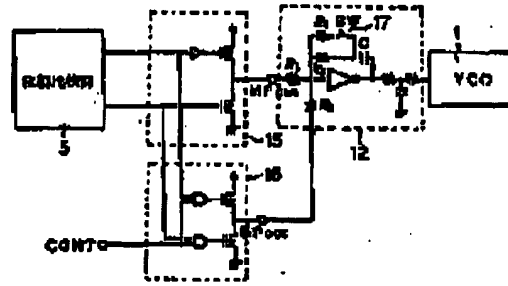
【図6】



3 8 8 8 2 - 8 平 號

(7)

【圖 8】



【圖 7】

